
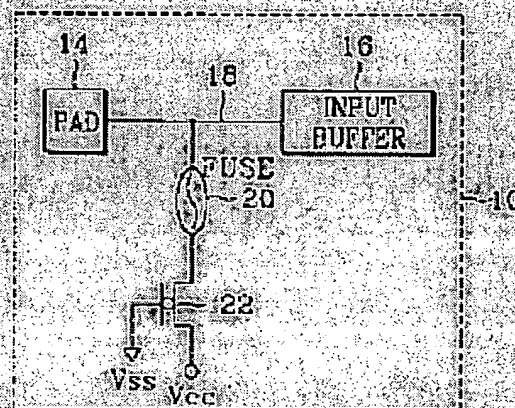


SEMICONDUCTOR DEVICE**Patent number:** JP9181188**Publication date:** 1997-07-11**Inventor:** KIN TETSUSHU**Applicant:** SAMSUNG ELECTRON CO LTD**Classification:****- International:** H01L21/82; G01R31/28; H01L21/66; H01L27/04;
H01L21/822**- european:****Application number:** JP19960306526 19961118**Priority number(s):****Also published as:** **US5898700 (A1)****Abstract of JP9181188**

PROBLEM TO BE SOLVED: To provide a device with a configuration by which the test time of a wafer can be shortened even when the number of pads is increased.

SOLUTION: A test signal generation means is installed in such a way that an input target for a test signal whose logic is constant during a test is maintained at a constant logic. A fuse 20 is blown after the test. Regarding an impressing pad 14 for a test signal whose logic is fixed to be constant at a logical high or a logical low during the test, the test signal is set automatically inside a memory, and it is not required that the pad 14 is provided with a signal. Consequently, a probe for this portion can be used for other purposes effectively, the number of chips which can be tested simultaneously in a multitest can be increased, and the test time can be shortened.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-181188

(43)公開日 平成9年(1997)7月11日

| (51)Int.Cl. ⁶ | 識別記号 | 序内整理番号 | F I | 技術表示箇所 |
|--------------------------|--------|--------|---------------|--------|
| H 0 1 L | 21/82 | | H 0 1 L 21/82 | F |
| G 0 1 R | 31/28 | | 21/66 | E |
| H 0 1 L | 21/66 | | G 0 1 R 31/28 | V |
| | 27/04 | | H 0 1 L 27/04 | T |
| | 21/822 | | | |

審査請求 未請求 請求項の数11 O L (全 4 頁)

(21)出願番号 特願平8-306526

(22)出願日 平成8年(1996)11月18日

(31)優先権主張番号 1995 P 41668

(32)優先日 1995年11月16日

(33)優先権主張国 韓国 (K R)

(71)出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72)発明者 金 哲洙

大韓民国京畿道水原市八達区梅灘 1 洞梅灘

住公5 園地アパート525棟501号

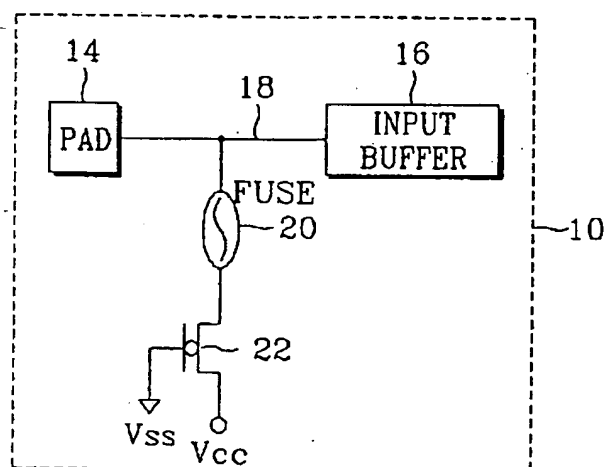
(74)代理人 弁理士 高月 猛

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 パッド数が増えてもウェーハテストのテスト時間を短縮することが可能な構成をもった半導体装置を提供する。

【解決手段】 テスト中一定論理とされるテスト信号入力対象のパッドをその一定論理に維持するテスト信号発生手段20、22を設ける。ヒューズ20はテスト後には切断される。テスト時にハイ又はロウの一定論理に固定されるテスト信号の印加パッドについては、そのテスト信号がメモリ内で自動的に設定されるようにしたので、当該パッドについては信号を提供する必要がなくなる。従って、その分のプローブを他へ回して有効に使用することが可能となり、マルチテストにおける同時テスト可能なチップ数を増加させることができ、テスト時間の短縮につなげられる。



【特許請求の範囲】

【請求項1】 ウェーハ段階でテストが行われる半導体装置において、テスト信号入力対象のパッドを一定論理に維持するテスト信号発生手段を設けたことを特徴とする半導体装置。

【請求項2】 テスト信号発生手段は、所定の電圧端とパッドとの間に設けられ、テスト後にはオフ状態にすることの可能なスイッチ素子で構成される請求項1記載の半導体装置。

【請求項3】 スイッチ素子としてヒューズを用いる請求項2記載の半導体装置。

【請求項4】 テスト中に一定論理のテスト信号を印加するパッドをもつ半導体装置において、テスト中に前記パッドへ所定の電圧を提供するスイッチ素子を設けたことを特徴とする半導体装置。

【請求項5】 スイッチ素子にヒューズを用いる請求項4記載の半導体装置。

【請求項6】 スイッチ素子と所定の電圧端との間に負荷素子を設ける請求項4又は請求項5記載の半導体装置。

【請求項7】 負荷素子にMOSトランジスタを用いる請求項6記載の半導体装置。

【請求項8】 テスト中に一定論理のテスト信号を印加するパッドをもつ半導体装置において、前記パッドから入力バッファへの配線に接続したスイッチ素子と、該スイッチ素子と電源電圧端との間に設けた負荷素子と、を備えることを特徴とする半導体装置。

【請求項9】 スイッチ素子がヒューズであり、負荷素子がゲートを接地電圧端へつないだPMOSトランジスタである請求項8記載の半導体装置。

【請求項10】 テスト中に一定論理のテスト信号を印加するパッドをもつ半導体装置において、前記パッドから入力バッファへの配線に接続したスイッチ素子と、該スイッチ素子と接地電圧端との間に設けた負荷素子と、を備えることを特徴とする半導体装置。

【請求項11】 スイッチ素子がヒューズであり、負荷素子がゲートを電源電圧端へつないだNMOSトランジスタである請求項10記載の半導体装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】本発明は半導体装置に関するもので、特に、そのウェーハ状態での信頼性試験に関する。

【0002】

【従来の技術】DRAMやSRAMなどのメモリに代表される半導体装置では、チップ内回路の信頼性を検査するために各種テストが実行される。このようなデバイスの信頼性テストは、パッケージ工程前に実行されるウェーハテストとパッケージ後に実行されるパッケージテストに大別される。ウェーハ段階でテストを行うウェーハ

テストは、例えばメモリであれば、メモリセルの正常動作と周辺回路の動作状態をテストするもので、テストパターン(Test pattern)を形成してメモリセル及びその周辺回路の動作状態をテストする。

【0003】ウェーハテストでは単純なテストパターンを使用してチップのテストを進行する。即ち、各制御信号は、例えばRAS信号やCAS信号のように遷移するとはなく、一定の直流レベル、例えば電源電圧や接地電圧レベルの論理“ハイ”や“ロウ”に固定されるテストパターンとされる。そして、このような一定の直流レベルに固定される信号がチップの特定機能を選定する信号の入力パッドに供給されることで、テストが実行される。一例として、8メガの同期式グラフィックDRAMにおいてはDQM、DSF(Difine Special Function)、CKEのような入力信号の論理“ハイ”、“ロウ”に応じて機能選定する機能ピンをもつが、ウェーハテストでは、これに対応するパッドに、プローブカード(Probe card)やメンブレイムカード(Membrane card)を通じて一定の直流レベルの信号を供給することにより、テストを進行する。

【0004】図1は、ウェーハテスト時のチップパッド部分を示したもので、ウェーハ中の1つのチップ10内に構成されたパッド14とこれにつながる入力バッファ16とが示されている。このパッド14は、プローブカードのプローブを通じてウェーハテスト時に論理“ロウ”あるいは論理“ハイ”の直流電圧としたテスト信号が印加されるもので、これによりチップ10の動作モードが設定される。プローブカードは、チップ10のパッド配置に合わせてプローブをセッティングしてあり、これにより信号供給することでテストが行われるようにしてある。

【0005】

【発明が解決しようとする課題】半導体装置のテストでは、そのテスト時間が重要なファクターとなる。即ち、メモリの場合であればメモリ容量の増加につれてテスト時間も増加することになるが、テスト時間の増加はTATに影響するため、長時間化するほど製品コストに影響する。従って、テストカバレッジを維持しながらテスト時間を減少させることが重要である。テスト時間を減少させる手法として現在代表的なのがマルチテスト(Multi test)であり、これは、ウェーハに作成されている多数のチップを同時にテストする手法である。

【0006】最近の高集積メモリは、高速度動作と多様な機能を提供するために、多数のデータ入出力ピン(Multi DQ; X16, X32)と多数の機能信号ピンが備えられるようになってきており、これに従いパッド数も増加している。このパッド数の増加は、マルチテストにとっての制約条件になる。つまり、ウェーハテストを行うウェーハ検査装置においてドライブ可能なパッド数は制約されているから、一度にテスト可能なチップ数が制

限され、テスト時間の減少に寄与することができなくなる。

【0007】上記図1のように、一定レベルに維持するパッド14を多数もつチップ10が形成されたウェーハでマルチテストを行う場合に、テスト時間の減少のために一回で多くのチップ10をテストするためには、プローブカードのプローブ数を1つでも減らす必要があるが、プローブカードのプローブはテスト対象のチップのパッド配置に合わせて製作されるので、テストパッド数が増えればその分増えることになる。従って、マルチテストで同時テスト可能なチップ数を増やすことは困難で、テスト時間の減少には限界がある。

【0008】このような解決課題に着目して本発明では、パッド数が増えてもテスト時間を短縮することが可能な構成をもった半導体装置を提供するものである。

【0009】

【課題を解決するための手段】この目的のために本発明は、ウェーハ段階でテストが行われる半導体装置において、テスト信号入力対象のパッドを一定論理に維持するテスト信号発生手段を設けることを特徴とする。このテスト信号発生手段は、装置の電源電圧や接地電圧など所定の電圧端とパッドとの間に設けられ、テスト後にはオフ状態にすることの可能なスイッチ素子で構成することができる。このようなスイッチ素子としてはヒューズを用いるとよく、テスト後に切断することでオフとする。

【0010】また本発明は、テスト中に一定論理のテスト信号を印加するパッドをもつ半導体装置において、テスト中に前記パッドへ所定の電圧を提供するスイッチ素子を設けることを特徴とする。スイッチ素子にはヒューズを用いるようにし、テスト後に切断するのがよい。また、スイッチ素子と所定の電圧端との間に負荷素子を設けてもよく、このような負荷素子にはMOSトランジスタを用いることができる。

【0011】より具体的には、本発明によれば、テスト中に一定論理のテスト信号を印加するパッドをもつ半導体装置において、前記パッドから入力バッファへの配線に接続したスイッチ素子と、該スイッチ素子と電源電圧端との間に設けた負荷素子と、を備えることを特徴とする。この場合、スイッチ素子はヒューズとし、負荷素子はゲートを接地電圧端へつないだPMOSトランジスタとすればよい。

【0012】更に本発明によれば、テスト中に一定論理のテスト信号を印加するパッドをもつ半導体装置において、前記パッドから入力バッファへの配線に接続したスイッチ素子と、該スイッチ素子と接地電圧端との間に設けた負荷素子と、を備えることを特徴とする。この場合、スイッチ素子はヒューズとし、負荷素子はゲートを電源電圧端へつないだNMOSトランジスタとすればよい。

【0013】

【発明の実施の形態】以下、本発明の実施形態につき添付図面を参照して詳細に説明する。

【0014】図2は、テスト信号発生手段をもつパッド（ターミナル）部分の構成を示す。この図2の例は、ウェーハテスト時にテスト信号を印加するパッド14（つまり対応する入力バッファ16の入力端）に対し、論理“ハイ”として電源電圧Vccを自動提供するテスト信号発生手段である。

【0015】このテスト信号発生手段は、パッド14と入力バッファ16をむすぶ配線18に接続した切断可能なヒューズ20を備えている。このヒューズ20は、テスト時にはオン状態にあり、テスト終了でオフ状態とされるスイッチ素子としての役割をもつ。ヒューズ20には、負荷素子としてVcc端に接続して設けたゲート接地のPMOSトランジスタ22が接続されており、このPMOSトランジスタ22を介して電源電圧Vccが供給される。負荷素子は場合に応じて設ければよく、省くことも可能である。このような構成のテスト信号発生手段が、チップ10の多数のパッド中、テスト時に一定の直流レベルに維持されるパッド14に形成されている。

【0016】ウェーハテストが開始され、プローブカードの電源供給用プローブからチップ10の電源供給パッドへ電源電圧Vcc及び接地電圧Vssが供給されると、ゲートが電源電圧Vssに接続されたPMOSトランジスタ22が導通し、ソースから入力される電源電圧Vccがヒューズ20を通じてパッド14（入力バッファ16）へ供給される。従って、このパッド14に関してはテスト開始と共に自動的に電源電圧Vccレベルのテスト信号が設定され、これに応じてチップ10が動作することができる。つまり、プローブカードを通じてテスト信号を印加する必要はなく、当該パッド14についてのプローブは省略することができる。

【0017】テストが終了するとヒューズ20を切断、即ちスイッチオフとすることで、その後の動作では入力信号によるパッド14の使用が可能となる。ヒューズ20の切断は、レーザービームを使用するのが容易であるが、電氣的に切断する構成にしておくこともできる。

【0018】図3の実施形態は、テスト信号発生手段の他の例を示している。この例は、ウェーハテスト時にテスト信号を印加するパッド14に対し、論理“ロウ”として接地電圧Vssを自動提供するテスト信号発生手段である。即ち、図2のPMOSトランジスタ22に代えて、ゲートを電源電圧VccへつないだNMOSトランジスタ24を負荷手段として設け、これを介して接地電圧Vssが供給されるようにしてある。従って、テスト開始で電源供給されるとパッド14に関して論理“ロウ”のテスト信号が自動設定される。

【0019】

【発明の効果】本発明によれば、テスト時に論理“ハイ”又は“ロウ”に固定されるテスト信号の印加パッド

については、そのテスト信号がメモリ内で自動的に設定されるようにしたので、当該パッドについては信号を提供する必要がなくなる。従って、その分のプローブを他へ回して有効に使用することが可能となり、マルチテストにおける同時テスト可能なチップ数を増加させることができ、テスト時間の短縮につなげられる。

【図面の簡単な説明】

【図1】従来のチップにおけるパッド部分の概略回路図。

【図2】本発明に係るテスト信号発生手段の一例を示す

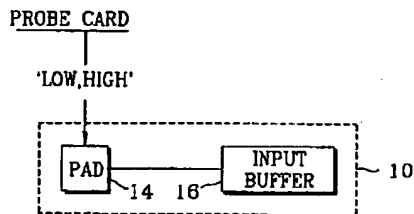
チップにおけるパッド部分の概略回路図。

【図3】本発明に係るテスト信号発生手段の他の例を示すチップにおけるパッド部分の概略回路図。

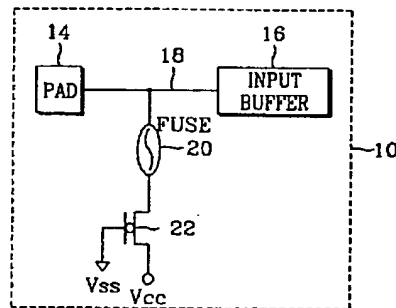
【符号の説明】

- 14 パッド
- 16 入力バッファ
- 18 配線
- 20 ヒューズ（スイッチ素子）
- 22 PMOSトランジスタ（負荷手段）
- 24 NMOSトランジスタ（負荷手段）

【図1】



【図2】



【図3】

